

DIGITAL FILTER BANK

Publication number: JP5002038

Publication date: 1993-01-08

Inventor: KOBAYASHI HARUO

Applicant: YOKOGAWA ELECTRIC CORP

Classification:

- international: **G01R23/165; G01R23/167; H03H17/00; H03H17/02;**
G01R23/16; H03H17/00; H03H17/02; (IPC1-7):
G01R23/165; G01R23/167; H03H17/02

- European:

Application number: JP19910151981 19910624

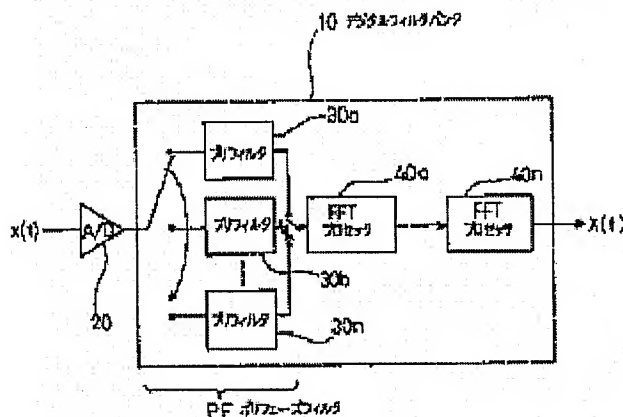
Priority number(s): JP19910151981 19910624

Report a data error here

Abstract of JP5002038

PURPOSE: To increase flexibility of a circuit and to meet various requests for performances with ease by combining a prefilter processor having a polyphase filter structure with a fast Fourier transform(FFT) processor executing an interstage pipeline operation.

CONSTITUTION: A digital filter bank 10 is constructed of prefilters 30a to 30m (a polyphase filter) and FFT processors 40a to 40n formed to be a pipeline. The prefilters of a polyphase structure supply sequentially the data subjected to A/D conversion to be coefficients for computation set beforehand, so that an arithmetic processing be executed in proper amounts, and therefore no uselessness of hardware takes place. By increasing sets of the coefficients to be allocated, accordingly, the number of band-pass filters can be increased simply. An input analog signal $X(f)$ is converted into a digital signal by an A/D converter 20 and then inputted to the filter bank 10, and the signal $X(f)$ of a frequency axis is outputted as the result of filtering.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-2038

(43) 公開日 平成5年(1993)1月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 23/167		7706-2G		
23/165	B	7706-2G		
H 0 3 H 17/02	E	8731-5 J		
	P	8731-5 J		

審査請求 未請求 請求項の数1(全 7 頁)

(21) 出願番号 特願平3-151981

(22) 出願日 平成3年(1991)6月24日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 小林 春夫

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

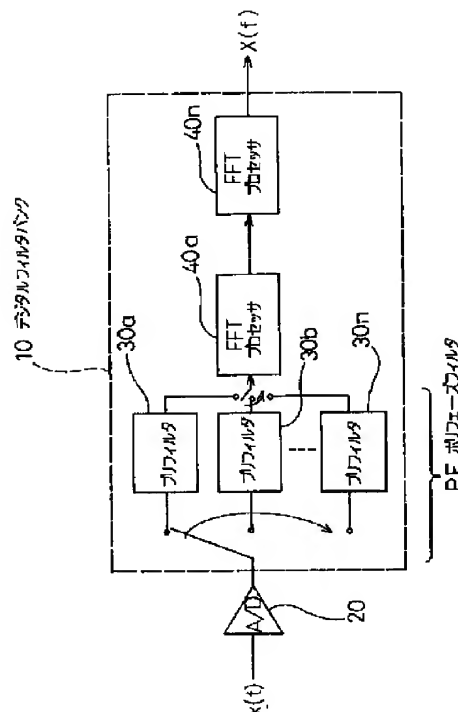
(74) 代理人 弁理士 小沢 信助

(54) 【発明の名称】 デジタルフィルタバンク

(57) 【要約】

【目的】回路（ハードウェア）の柔軟性を高め、回路を全面的に作り替えることなく、様々なパフォーマンス（あるいはコスト）の要求を容易に満たすことができ、I C化にも適したデジタルフィルタバンクを提供することである。

【構成】プリフィルタをポリフェーズフィルタ構造とし、この構造を、係数RAMおよびデータRAMにおけるアドレス発生方法を工夫してマルチプロセッサ化に適する構成として実現し、また、FFTプロセッサのパイプライン化を併用することにより、上記目的を達成する。



【特許請求の範囲】

【請求項1】 ポリフェーズフィルタ構造をもつプリフィルタプロセッサと、ステージ間パイプライン演算を行うことができるFFTプロセッサとにより構成されるデジタルフィルタバンクであって、前記プリフィルタプロセッサは、入力データを記憶するデータメモリ（300b）と、このデータメモリのアドレス制御回路（100b, 200b）と、デジタルフィルタリング演算用の係数を記憶する係数メモリ（300a）と、この係数メモリのアドレス制御回路（100a, 200a）と、前記データメモリ（300b）から出力されるデータあるいは新たに入力されたデータと、前記係数メモリ（300a）から出力される係数とを乗算する乗算器（700）と、この乗算器（700）の乗算出力を累積加算するアキュムレータ（900）とを有していることを特徴とするデジタルフィルタバンク。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は信号の周波数スペクトラムを測定するために使用されるデジタルフィルタバンクに関する。

【0002】

【従来の技術】 周波数スペクトラムの一般的な測定方法として、図10（a）、（b）に示すように、複数のアナログバンドパスフィルタを並列に配置して各フィルタの出力信号のパワーを測定する方法（アナログフィルタバンク）や、図11に示すように、アナログ信号をA/D変換し、FFT（高速フーリエ変換）プロセッサにより解析する方法がある。

【0003】 ただし、少ないハードウェアで特性のよいアナログフィルタをつくるのは一般に困難であり、また、FFTは離散データによる解析であるため、一般的

な波形に対し、高精度が望めない。

【0004】 そこで、近年、図12に示す、複数のデジタルバンドパスフィルタを並列に配置した構造のデジタルフィルタバンクが、FFTより高精度の測定ができるとして注目され、計測器にも使われ始めている。

【0005】 このデジタルフィルタバンクは、実際には、図13に示すように、プリフィルタ50とFFTプロセッサ60を用いて実現できる。

【0006】

【発明が解決しようとする課題】 上述した従来のデジタルフィルタバンクは、構成に柔軟性がないという問題点がある。すなわち、高価だがパフォーマンス（分解能や精度）が高いものが必要な場合、あるいは、低価でパフォーマンスも低くてよい場合など、コストやパフォーマンスに応じてフィルタバンクを実現しようすると、個々の要求に応じて、プリフィルタおよびFFTプロセッサの構成を最初から設計しなおす必要がある。これは、図13に示されるデジタルフィルタバンクは、構成全体で一つの機能をもつため、特性を変更するためには全体構

成そのものを見直す必要があるからである。このような柔軟性のなさは、回路のワンチップ化、特に、ASICのような顧客の要求に対応させて生産されるICへの適用を妨げる原因となる。

【0007】 また、パフォーマンスが高いプリフィルタおよびFFTプロセッサをワンチップで実現しようすると、構成が複雑となってコスト高となるという問題点もある。

【0008】 本発明はこのような問題点に着目してなされたものであり、その目的は、回路（ハードウェア）の柔軟性を高め、回路を全面的に作り替えることなく、様々なパフォーマンス（あるいはコスト）の要求を容易に満たすことができ、IC化にも適したデジタルフィルタバンクを提供することにある。

【0009】

【課題を解決するための手段】 本発明の代表的なものの概要は以下のとおりである。すなわち、ポリフェーズフィルタ構造をもつプリフィルタプロセッサと、ステージ間パイプライン演算を行うことができるFFTプロセッサとを組合わせてデジタルフィルタバンクを実現するものである。

【0010】 ポリフェーズデジタルフィルタ構造は、フィルタリング演算用の係数が並列に配置され、共通のデータ入力部において、各係数へ順次に周期的に入力データを振り分けていく機能が設けられた構造を有する。したがって、A/D変換された入力信号は、上述の振り分け機能により所定係数の各フィルタに分配され、順次に係数との乗算が行われ、その結果がアキュムレートされて、プリフィルタプロセッサのフィルタリング出力が得られる。

【0011】 このようなポリフェーズ構造をもつプリフィルタは、例えば、係数メモリ（RAM、ROM）、データメモリ、およびこれらのアドレスカウンタ（アドレス制御回路）、乗算器、アキュムレータ、レジスタ群から構成される。

【0012】 この場合、実現したいバンドパスフィルタの数（分解能）がn個だとすると、係数メモリには、各フィルタ特性を作り出すために必要な係数の組がn組、格納されている。また、データメモリには、各係数の組のそれぞれに振り分けるべきデータを蓄積すべく、n列（あるいはn行）のデータ記憶領域が設けられ、入力データは原則としてこの領域に記憶された後、演算用に出力される。

【0013】 アドレスカウンタは、各係数とデータとが所望の組合わせになるように、規則的にアドレスを変化させて、各メモリから係数とデータを読出すようになっている。

【0014】 このような構成は、実質的には、n個の並列配置されたプリフィルタ（プロセッサ）とm段のパイプライン化されたFFTプロセッサを組合わせたマルチ

プロセッサ構造となっている。

【0015】

【作用】ポリフェーズ構造のプリフィルタは、予め設定された演算用の係数にA/D変換したデータを、順次供給して過不足なく演算処理を行うものであり、ハードウェアの無駄が生じない。したがって、振り分けを行う係数の組を増やせば（あるいは、そのようなプリフィルタを複数用意すれば）、簡単にバンドパスフィルタ数を増加させることができる。

【0016】また、このプリフィルタの並列度の増加に対応して、後段のFFTの演算ステージをパイプライン化して並列処理を行うことにより、プリフィルタとFFTプロセッサとのパフォーマンスの整合性も確保できる。

【0017】したがって、複数の同じ構成のプリフィルタ（プロセッサ）と、FFTプロセッサを用意すれば、用意したプロセッサの数に見合ったパフォーマンスが得られる。これにより、様々なコスト・パフォーマンスに応じたフィルタバンクを容易に実現できる。また、同じプロセッサを複数個並べればよいから、比較的廉価に、高パフォーマンスのデジタルフィルタバンクを実現できる。

【0018】また、このような構成を現実にはICとして実現する場合を考えた場合、本発明のフィルタバンクに用いられるプリフィルタは、メモリ（ROM、RAM）、レジスタ、マルチプレクサ、アキュムレータといったデジタル系ICに汎用的に使用されている回路要素を用いて構成できるため、実現が容易である。また、上述のように、同一構成のプロセッサを配置すればよいから、レイアウトデザイン等も容易であり、ASIC化に適している。また、任意のステージを実行するようなプログラマブルなFFTプロセッサも、通常の技術を用いて、容易に実現できる。

【0019】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明のデジタルフィルタバンクの基本的構成を示す図である。

【0020】本実施例のデジタルフィルタバンク10は、プリフィルタ30a～30n（ポリフェーズフィルタPFを構成する）と、パイプライン化されたFFTプロセッサ40a～40nとで構成され、入力アナログ信号 $f(x)$ は、A/D変換器20によってデジタル信号に変換されてからフィルタバンク10に入力され、フィルタリング結果として、周波数軸の信号 $X(f)$ が出力されるようになっている。

【0021】このような構成を使って、図2（a）のような4つのバンドパスフィルタをもつバンクを実現する場合を考える。各バンドパスフィルタは図2（b）に示されるような特性をもつ（BPF0は、実質的にローパスフィルタである）。

【0022】図2のフィルタバンクは、例えば、図3のような構成により実現できる。この例のプリフィルタでは、BPF0用の係数として h_3 、 h_7 、 h_{11} が用意され、BPF1用の係数として h_2 、 h_6 、 h_{10} が用意され、BPF2用の係数として h_1 、 h_5 、 h_9 が用意され、BPF3用の係数として h_0 、 h_4 、 h_8 が用意されている。各係数には、データ $d_0 \sim d_{11}$ 、 $d_{12} \dots$ が順次に振り分けられて入力される。

【0023】例えば、BPF0用のプリフィルタのプリフィルタリング出力（00）、（04）は、

$$(00) = h_{11} \cdot d_0 + h_7 \cdot d_4 + h_3 \cdot d_8,$$

$$(04) = h_{11} \cdot d_4 + h_7 \cdot d_8 + h_3 \cdot d_{12},$$

という演算を行って得られる。

【0024】また、本例では、FFTプロセッサ（40a～40n）は、2ステージ毎に処理を分担されてパイプライン化されている。図3の構成をIC化した場合の具体的な構成例（特に、ポリフェーズフィルタPFの具体的な構成例）を図4に示す。本構成例において、ポリフェーズフィルタPFは、係数RAM300a（アドレス回路100a、200aにより読出しアドレスが制御される）と、データRAM300b（アドレス回路100b、200bにより読出しアドレスおよび書込みアドレスが制御される）と、入力データを保持するレジスタ（I-Reg）と、セクタ500と、レジスタMR1およびMR2と、乗算器700と、レジスタ800と、アキュムレータ900と、レジスタ1000とを有している。レジスタ（I-Reg）に保持された入力データは、データRAM300bに書込まれるか、あるいはセクタ500へと送られる。セクタ500は、データRAM300bから読出されたデータあるいはレジスタ（I-Reg）から送られてきたデータを選択的に通過させる。係数RAM300aから出力された係数は、一旦、レジスタMR1に保持され、セクタ500を通過したデータはレジスタMR2に保持され、乗算器700により乗算され、アキュムレータ900でアキュムレートされる。

【0025】図4の構成における、係数RAM300a、データRAM300bにおけるアドレス制御タイミングおよび主要部におけるデータの流れを図5に示す。このように、規則的なRAMへのアクセスを行うことにより、ポリフェーズ構造のプリフィルタを実現できる。

【0026】次に、FFTプロセッサ40（図4）のステージ間のパイプライン化について図6（a）、（b）を用いて説明する。例えば、図6（a）のような2ステージのパイプライン処理は、FFTプロセッサ内で、図6（b）のような、バタフライ演算を行うことにより実現される。

【0027】ポリフェーズ構造のプリフィルタは、図7に示すように、2つのプリフィルタプロセッサ（A、B）を組合わせて構成することもできる。プロセッサA、Bにおける係数RAMの構成は図4の場合と同じであり、データRAMは、それぞれ、図8（a）、（b）

のように構成する。プロセッサA、Bにおける、アドレスカウンタの動作およびデータRAMにおけるR/W（読書き）制御、および主要部におけるデータの流れを図9に示す。このような制御は、カウンタやゲートを用いてアドレス発生器を構成することにより、簡単に実現できる。

【0028】

【発明の効果】以上説明したように本発明は、プリフィルタをポリフェーズフィルタ構造とし、この構造を、係数RAMおよびデータRAMにおけるアドレス発生方法を工夫してマルチプロセッサ化に適する構成として実現し、また、FFTプロセッサのパイプライン化を併用することにより、回路（ハードウェア）の柔軟性を高め、回路を全面的に作り替えることなく、様々なパフォーマンス（あるいはコスト）の要求を容易に満たすことができ、IC化にも適したデジタルフィルタバンクを提供できる効果がある。

【図面の簡単な説明】

【図1】本発明のデジタルフィルタバンクの基本的構成を示す図である。

【図2】（a）は実現しようとする4つのバンドパスフィルタをもつバンクを示し、（b）は各バンドパスフィルタの特性（BPF0は、実質的にローパスフィルタである）を示す。

【図3】図2のデジタルフィルタバンクの実現例を示す図である。

【図4】図3の構成をIC化した場合の具体的構成例を示す図である。

【図5】図4の構成における、係数RAM300a、データRAM300bにおけるアドレス制御タイミングおよび主要部におけるデータの流れを示す図である。

【図6】FFTプロセッサ40（図4）のステージ間のパイプライン化について説明するための図であり、（a）は2ステージのパイプライン処理を示し、（b）は（a）の処理を実現するためのパタフライ演算の内容を

示す図である。

【図7】プリフィルタを2つのプロセッサA、Bを用いて構成した例を示す図である。

【図8】（a）、（b）はそれぞれ、図7のプロセッサA、Bにおける、データRAMの構成を示す図である。

【図9】図7のプロセッサA、Bにおける、アドレスカウンタの動作およびデータRAMにおけるR/W（読書き）制御、および主要部におけるデータの流れを示す図である。

【図10】（a）は、周波数スペクトラムの一般的な測定方法であって、複数のアナログバンドパスフィルタを並列に配置して各フィルタの出力信号のパワーを測定する方法（アナログフィルタバンク）を説明するための図であり、（b）は各バンドパスフィルタの特性を示す図である。

【図11】周波数スペクトラムの一般的な測定方法であって、アナログ信号をA/D変換し、FFT（高速フーリエ変換）プロセッサにより解析する方法を説明するための図である。

【図12】複数のデジタルバンドパスフィルタを並列に配置した構造のデジタルフィルタバンクについて説明するための図である。

【図13】図12のデジタルフィルタバンクの実際の構成例を示す図である。

【符号の説明】

10 デジタルフィルタバンク

20 A/D変換器

30a ~ 30n ポリフェーズフィルタ（PF）構造のプリフィルタ

30 FFTプロセッサ

300a 係数RAM

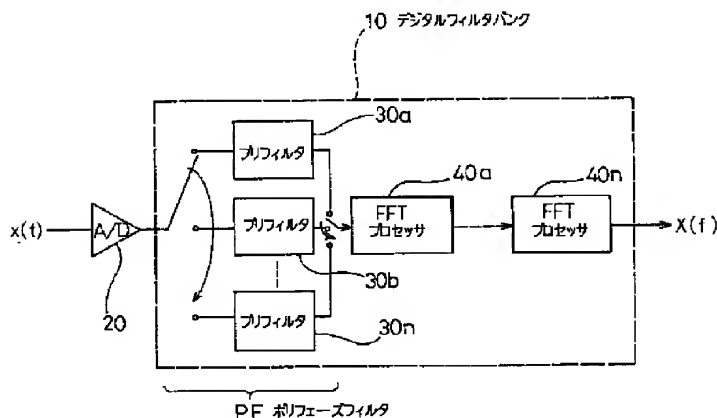
300b データRAM

500 セレクタ

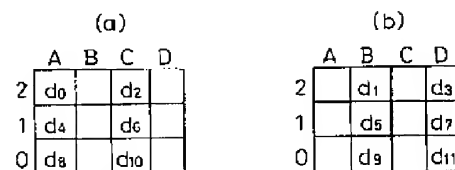
700 乗算器

900 アキュムレータ

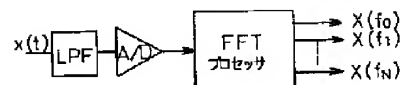
【図1】



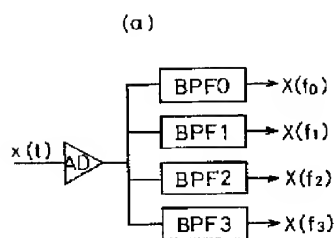
【図8】



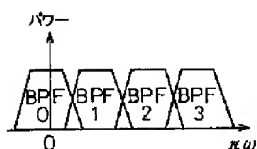
【図11】



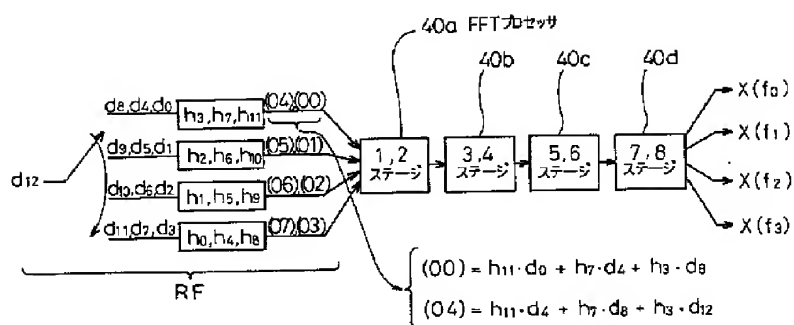
【図2】



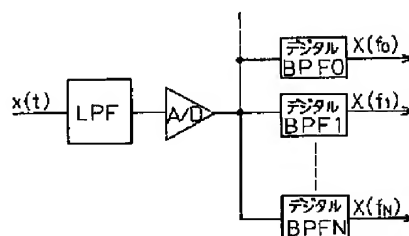
(b)



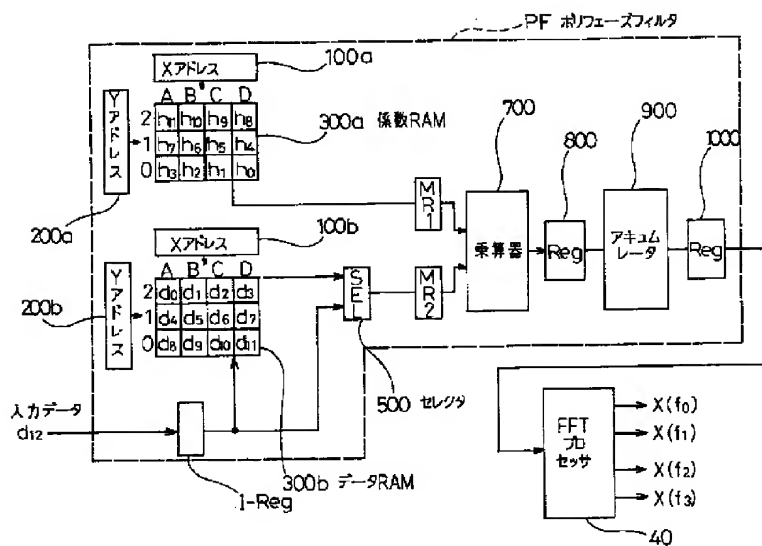
【図3】



【図12】



【図4】

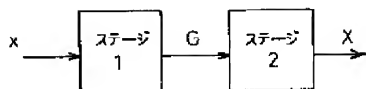


【図5】

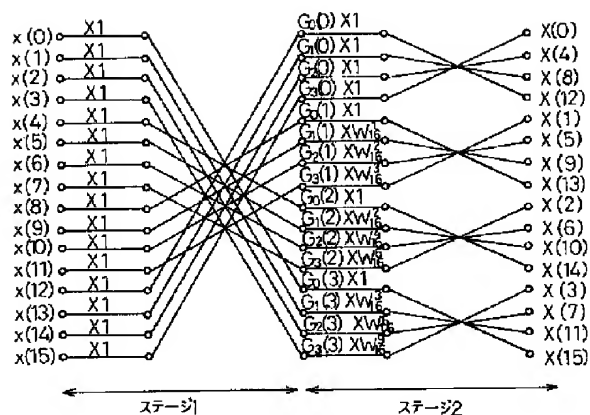
MR1	h_3, h_7, h_{11}	h_2, h_6, h_{10}	h_1, h_5, h_9	h_0, h_4, h_8	h_3, h_7, h_{11}	h_2, h_6, h_{10}	h_1, h_5, h_9
Xアドレス 100a	A	B	C	D	A	B	C
Yアドレス 200a	0 → 1 → 2	0 → 1 → 2	0 → 1 → 2	0 → 1 → 2	0 → 1 → 2	0 → 1 → 2	0 → 1 → 2
MR2	d_{12}, d_8, d_4	d_{13}, d_9, d_5	d_{14}, d_{10}, d_6	d_{15}, d_{11}, d_7	d_{16}, d_{12}, d_8	d_{17}, d_{13}, d_9	d_{18}, d_{14}, d_{10}
Xアドレス 100b	A	B	C	D	A	B	C
Yアドレス 200b	2 → 0 → 1	2 → 0 → 1	2 → 0 → 1	2 → 0 → 1	1 → 2 → 0	1 → 2 → 0	1 → 2 → 0
R/W	W → R → R	W → R → R	W → R → R	W → R → R	W → R → R	W → R → R	W → R → R
1-Reg	d_{12}	d_{13}	d_{14}	d_{15}	d_{16}	d_{17}	d_{18}

【図6】

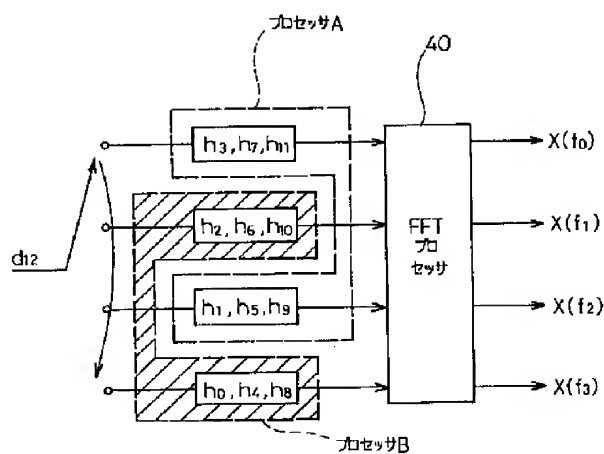
(a)



(b)



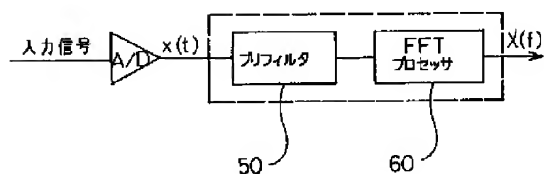
【図7】



【図9】

MR1	h_3, h_7, h_{11}	h_1, h_5, h_9	h_0, h_4, h_8	h_2, h_6, h_{10}	h_3, h_7, h_{11}	h_1, h_5, h_9	h_0, h_4, h_8	h_2, h_6, h_{10}
Xアドレス発生1	A	C	A	C	A	C	A	C
Yアドレス発生1	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2
MR2	d_{12}, d_8, d_4	d_{14}, d_{10}, d_6	d_{15}, d_{11}, d_7	d_{13}, d_9, d_5	d_{12}, d_8, d_4	d_{14}, d_{10}, d_6	d_{15}, d_{11}, d_7	d_{13}, d_9, d_5
Xアドレス発生2	A	C	A	C	A	C	A	C
Yアドレス発生2	2→0→1	2→0→1	1→2→0	1→2→0	0→1→2	0→1→2	2→0→1	2→0→1
R/W	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R
I-Reg	d_{12}	d_{14}	d_{15}	d_{13}	d_{12}	d_{14}	d_{15}	d_{13}
MR1	h_2, h_6, h_{10}	h_0, h_4, h_8	h_2, h_6, h_{10}	h_0, h_4, h_8	h_2, h_6, h_{10}	h_0, h_4, h_8	h_2, h_6, h_{10}	h_0, h_4, h_8
Xアドレス発生1	B	D	B	D	B	D	B	D
Yアドレス発生1	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2	0→1→2
MR2	d_{13}, d_9, d_5	d_{15}, d_{11}, d_7	d_{12}, d_8, d_4	d_{14}, d_{10}, d_6	d_{13}, d_9, d_5	d_{15}, d_{11}, d_7	d_{12}, d_8, d_4	d_{14}, d_{10}, d_6
Xアドレス発生2	B	D	B	D	B	D	B	D
Yアドレス発生2	2→0→1	2→0→1	1→2→0	1→2→0	0→1→2	0→1→2	2→0→1	2→0→1
R/W	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R	W→R→R
I-Reg	d_{13}	d_{15}	d_{12}	d_{14}	d_{13}	d_{15}	d_{12}	d_{14}

【図13】



【図10】

